

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

" Translation of 08-222633 "

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

## [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention prevents the occlusion of the moisture relation kind ( $H_2O$ ,  $OH^-$ , and  $H^+$ ) by the titanium layer as the lowest layer of a wiring material layer, and enables a reduction of interface level while it prevents the moisture diffusion to a gate electrode layer from the layer insulation layer containing especially moisture in a wiring material layer about semiconductor devices, such as LSI which has a MOS transistor, and prevents a hot carrier resistance degradation.

[0002]

[Description of the Prior Art] Conventionally, as flattening technique of the layer insulation layer in MOS type LSI etc., what includes insulator layers, such as spin-on glass (SOG), in a layer insulation layer is known.

[0003] Drawing 3 shows a part of MOS type LSI using this kind of flattening technique. After forming gate electrode layer G through the gate insulator layer OX, the source field LS and drain field LD of N type of low impurity concentration are formed in the front face of the semiconductor substrate 10 which consists of silicon by ion-implantation processing etc. And it is N+ of high impurity concentration by ion-implantation processing after forming side spacer SP in the both sides of electrode layer G etc. Source field S and drain field D of type are continued and formed in fields LS and LD, respectively.

[0004] Next, the MOS transistor formed as mentioned above is covered in a substrate top, and an insulator layer 14 is formed in it. As an insulator layer 14, BPSG (boron Lynn silicic-acid glass) layer formed, for example by the CVD (chemical vapor deposition) method is used.

[0005] next, the connection corresponding to a source contact, a drain contact, etc. -- after forming a hole in an insulator layer 14, the source wiring layer 16 and the drain wiring layer 17 as a wiring layer of the 1st layer are formed by putting and carrying out patterning of the wiring material layer to a substrate top What carried out the laminating of Ti layer 16a, TiN layer 16b, aluminum alloy (for example, aluminum-Si-Cu) layer 16c, and the 16d of the TiN layers to order from the bottom as wiring layers 16 and 17 as a layer 16 shown, for example in drawing 5 is used. 16d of the things and TiN layers in which the thing for Ti layer 16a reducing contact resistance and TiN layer 16b have barrier nature are for preventing a light reflex at the time of photolithography processing.

[0006] Next, on an insulator layer 14, the wiring layers 16 and 17 are covered and the layer insulation layer 18 is formed. After forming the silicon oxide layer 20, for example by the plasma CVD method using a tetrapod \*\*\*\*\* silane (TEOS) as an insulator layer 18, what formed the SOG layer 22 in the shape of flatness by the rotation applying method etc. on it, and formed the silicon oxide layer 24 by the plasma CVD method for using TEOS on it further is used.

[0007] Then, the wiring layer 26 of two-layer scale division is formed on an insulator layer 18, a protective coat 28 is formed on it, and annealing is performed at about 400 degrees C in the ambient atmosphere containing hydrogen. As a protective coat 28, the silicon-nitride layer formed, for example by the plasma CVD method is used.

[0008]

[Problem(s) to be Solved by the Invention] Since according to the above-mentioned conventional technique the layer insulation layer 18 is hygroscopic and contains insulator layers, such as the watery SOG layer 22, moisture is spread in gate electrode layer G from an insulator layer 18, and there is a trouble of degrading the hot carrier resistance of a MOS transistor.

[0009] In order to cope with such a trouble, the first-in-a-roll artificer of this application proposed previously the semiconductor device of a configuration as shown in drawing 4 (refer to Japanese Patent Application No. 247154 [six to ]). In drawing 4, the same sign is given to the same fraction as drawing 3, and a detailed explanation is omitted.

[0010] The equipment of drawing 4 differing from the equipment of drawing 3 is having formed the wiring material layer 19 on the insulator layer 14 so that the formation process of the wiring layers 16 and 17 might be diverted and gate electrode layer G's might be covered. In this case, the wiring material layer 19 has a configuration which was shown in drawing 5, and may be following any of the wiring layers 16 and 17, or one side, or may be separated from the wiring layers 16 and 17.

[0011] According to the configuration of drawing 4, since the moisture diffusion to electrode layer G can be prevented from an insulator layer 18 in the wiring material layer 19, a degradation of hot carrier resistance can be prevented. However, it became clear that there is a trouble where interface level cannot fully be reduced by the last annealing processing.

[0012] The next table 1 shows the configuration of the wiring layers 16 and 17 and the wiring material layer 19, and the configuration of the layer insulation layer 18 about the samples 1-4 created for every transistor of drawings 3 and 4.

[0013]

[Table 1]

サンプル		1	2	3	4
図3の16,17又は 図4の16,17,19		TiN/Al合金/TiN/Ti			WSi/Al合金/WSi
		Ti = 20nm		Ti = 40nm	
図3又は 図4の18	24	TEOS	TEOS	TEOS	TEOS
	22	SOG	SOG除去	SOG除去	SOG除去
	20	TEOS	TEOS	TEOS	TEOS

It means that a display like [ here ] P/Q/R about layers 16, 17, and 19 carries out the laminating of R layers, Q layers, and the P layers to order from the bottom, and "Ti=" expresses Ti layer thickness and "aluminum alloy" expresses an aluminum-Si-Cu alloy, respectively. Moreover, it means, respectively having removed the silicon oxide layer which formed "TEOS" by the plasma CVD method for using TEOS about the insulator layer 18 by etchback processing, after "SOG" formed SOG layer and "SOG elimination" formed SOG layer.

[0014] The insulator layer 14 was taken as BPSG layer with a thickness of 750nm. Moreover, each thickness of the silicon oxide layers 20 and 24 was set to 500nm, and thickness of the SOG layer 22 was set to 500nm. Furthermore, the protective coat 28 was used as the silicon-nitride layer with a thickness of 1000nm.

[0015] The next table 2 shows the result which measured the sub threshold level slope every sample of 1-4 which were shown in Table 1, and the unit of the numeric value for every sample is mV/decade.

[0016]

[Table 2]

トランジスタ	サンプル			
	1	2	3	4
図3	85.6	85.9	85.9	85.7
図4	85.7	91.7	95.5	85.6

If the variation of a sub threshold level slope is set to  $\Delta S$  and the variation of interface level is set to  $\Delta \text{Dit}$ ,  $\Delta S$  is proportional to  $\Delta \text{Dit}$  ( $\Delta S \propto \Delta \text{Dit}$ ). According to Tables 1 and 2, compared with the sample of others [ samples / which have the configuration of drawing 4 / 2 and 3 ], it turns out that a reduction of interface level is not enough. Moreover, Ti layer as the lowest layer of the wiring material layer 19 is known by that the degree of reduction of interface level is much more inadequate with the sample 3 made thick 40nm from 20nm.

[0017] The purpose of this invention is by covering a gate electrode layer in a wiring material layer in the semiconductor device which prevented the hot carrier resistance degradation to fully reduce interface level.

[0018]

[Means for Solving the Problem] The MOS transistor by which the semiconductor device concerning this invention was formed in the front face of a substrate and this substrate, The 1st layer insulation layer which covers this MOS transistor and was formed in the front face of the aforementioned substrate, What is the wiring material layer for moisture diffusion prevention which covers the gate electrode layer of the aforementioned MOS transistor, and was formed on this 1st layer insulation layer, and has a titanium layer as the lowest layer, It is the semiconductor device equipped with the 2nd layer insulation layer which covers the aforementioned wiring material layer, is formed on the layer insulation layer of the above 1st, and contains moisture. Where a contact of the above 1st and the 2nd layer insulation layer is secured, it is characterized by carrying out mediation arrangement of the moisture relation kind shielding layer between the layer insulation layer of the above 1st, and the aforementioned titanium layer.

[0019]

[Function] According to Tables 1 and 2 shown above, with the sample 4 which adopted WSi / aluminum alloy / WSi structure, interface level is reduced by any transistor of the drawing 3 or the drawing 4. Moreover, in the sample 1 of structure (non etchback structure of SOG) with much moisture contained in an insulator layer 18, in spite of using Ti layer as the lowest layer of the wiring material layer 19, interface level is reduced with any transistor of the drawing 3 or the drawing 4. That is, in the samples 2 and 3 of the structure (etchback structure of SOG) with little moisture contained in an insulator layer 18, when Ti layer is used as the lowest layer of the wiring material layer 19, interface level is not fully reduced.

[0020] By the way, interface level is Si/SiO<sub>2</sub>. It is trivalent Si (Si<sup>3+</sup>-) of an interface, and the hydrogen at the time of the last annealing carries out termination of this trivalent Si like (Si<sup>3+</sup>-OH), and is said that it reduces interface level. However, according to the experiment of an artificer, interface level was reduced even if it performed the last annealing in the nitrogen

ambient atmosphere. Then, for an artificer, the moisture relation kind in an insulator layer 18 ( $H_2O$ ,  $OH^-$ , and  $H^+$ ) is  $Si/SiO_2$  in the last annealing. It is spread even in an interface and it is thought that termination of the trivalent Si is carried out like ( $Si^{**}Si-H$ ,  $Si^{**}Si-OH$ ).

[0021] When there is a Ti layer which carries out the occlusion of the moisture relation kind ( $H_2O$ ,  $OH^-$ , and  $H^+$ ) to right above [ transistor ], the moisture relation kind concentration near this transistor falls, and interface level is not reduced (samples 2 and 3). Moreover, a reduction of interface level is not so enough as there are many amounts of Ti (sample 3). On the other hand, since sufficient moisture relation kind concentration will be secured even if the occlusion of a part of the moisture is carried out to Ti layer if enough moisture is in an insulator layer 18, interface level is reduced (sample 1). Moreover, if the layer which does not carry out the occlusion of the moisture relation kind is in right above [ transistor ], since moisture relation kind concentration will not fall, interface level is reduced (sample 4).

[0022] Since according to the configuration of this invention mediation arrangement of the moisture relation kind shielding layer was carried out between the 1st layer insulation layer and Ti layer where a contact of the 1st and 2nd layer insulation layers is secured, while a diffusion of a moisture relation kind is permitted from the 2nd layer insulation layer to the 1st layer insulation layer, a shielding layer prevents the occlusion of the moisture relation kind by Ti layer. Therefore, near the gate electrode layer, the concentration of a moisture relation kind cannot fall but interface level can fully be reduced by the last annealing.

[0023]

[Example] Drawings 1 and 2 show a part of MOS type LSI concerning one example of this invention, and drawing 1 is equivalent to the cross section which meets the X-X' line of drawing 2.

[0024] the front face of the semiconductor substrate 10 which consists of silicon -- well-known selective-oxidation processing -- active field arrangement -- a hole -- the field insulator layer 12 which has 12A is formed and arrangement -- a hole -- having mentioned above into the semiconductor surface fraction in 12A -- the same --  $N^+$  of the gate insulator layer OX, the source field LS of the N type of low impurity concentration and drain field LD, gate electrode layer G, side spacer SP, and high impurity concentration Source field S, drain field D, etc. of type are formed. As an example, gate length could be 0.5 micrometers.

[0025] Next, the MOS transistor formed as mentioned above is covered in a substrate top, and the 1st layer insulation layer 14 is formed in it. As an insulator layer 14, BPSG layer with a thickness of 750nm was formed by CVD. Then, in order to make BPSG layer precise, it heat-treated at 850 degrees C.

[0026] Next, the silicon-nitride layer with a thickness of 10nm was formed by the plasma CVD method as a moisture relation kind shielding layer 15. In this case, you may use the reactant spatter of silicon instead of a plasma CVD method. Moreover, the thickness of a silicon-nitride layer has desirable 50nm or less, when it takes into consideration removing alternatively at the below-mentioned dry etching process.

[0027] next, the connection respectively corresponding to source field S and drain field D -- after forming a hole in the laminating of the insulator layer 14 and the shielding layer 15, wiring material is put on a substrate top and the source wiring layer 16, the drain wiring layer 17, and the wiring material layer 19 are formed by carrying out patterning of the covering layer by photolithography and dry etching processing The wiring material layer 19 is formed by the pattern which covers gate electrode layer G as shown in drawing 2. Although it dissociated from the wiring layers 16 and 17 and the wiring material layer 19 was formed in the example of drawing 2, by request, the wiring layer 16 or either of 17 may be followed, and the wiring material layer 19 may be formed. The wiring layers 16 and 17 are connected to source field S and drain field D in source contact section SC and drain contact section DC, respectively. The gate wiring layer not to illustrate is connected with gate electrode layer G in the gate contact section GC.

[0028] Thickness was set to TiN/aluminum-Si-Cu/TiON/Ti=40/400/100/20nm using that to which layers 16, 17, and 19 replaced TiN layer 16b by TiON layer in the configuration of drawing 5 as an example. You may use TiN layer instead of TiON layer. Dry etching was performed as an example on condition that quantity-of-gas-flow  $Cl_2 / BC13 = 30/30$ scm, and pressure 10mTorr. And the over etching which follows etching of wiring material removed the shielding layer 15 alternatively by the pattern corresponding to layers 16, 17, and 19. This is to enable the 2nd below-mentioned layer insulation layer 18 to contact an insulator layer 14.

[0029] Next, the 2nd layer insulation layer 18 is formed in a substrate top. After forming the silicon oxide layer 20 with a thickness of 500nm by the plasma CVD method by TEOS as an example as an insulator layer 18, the SOG layer 22 with a thickness of 500nm was formed by the rotation applying method etc. on it, and the silicon oxide layer 24 with a thickness of 500nm was further formed by the plasma CVD method by TEOS on it. In this case, before formation of the silicon oxide layer 24, only the thickness of 500nm may carry out etchback of the SOG layer 22, it may be removed from a front face, and the silicon oxide layer 24 may be formed on it. Compared with what does not carry out etchback of the SOG layer 22, although the insulator layer 18 obtained as a result is little, it contains moisture.

[0030] next, connection of the request to an insulator layer 18 -- after forming a hole, the wiring layer 26 of two-layer scale division is formed on an insulator layer 18 And on an insulator layer 18, the wiring layer 26 is covered and a protective coat 28 is formed. As a protective coat 28, the silicon-nitride layer with a thickness of 1000nm was formed by the plasma CVD method as an example.

[0031] Then, the last annealing processing is performed. This processing is  $N_2$  as an example. And  $H_2$  It carried out on the conditions for 400 degrees C and 30 minutes in the ambient atmosphere to include. Consequently, in the transistor of drawing 1, interface level was fully reduced.

[0032] According to the above-mentioned example, since the moisture diffusion to gate electrode layer G is prevented from an

insulator layer 18 in the wiring material layer 19, a hot carrier resistance degradation can be prevented. Moreover, since mediation arrangement of the shielding layer 15 was carried out between Ti layer as the lowest layer of the wiring material layer 19, and the insulator layer 14, it can prevent carrying out the occlusion of the moisture relation kind to Ti layer, and interface level can fully be reduced.

[0033] This invention is not limited to the above-mentioned example, and can be carried out with various alteration gestalt. For example, as a shielding layer 15, you may use electric conduction layers, such as not only insulator layers, such as a silicon nitride, but aluminum, aluminum alloy, a refractory metal (for example, W), or a refractory-metal silicide (for example, WSi). Since an insulator layer does not cause the short-circuit between wirings etc. like an electric conduction layer even if the etching remainder arises, it has the advantage which is easy to use from an electric conduction layer.

[0034]

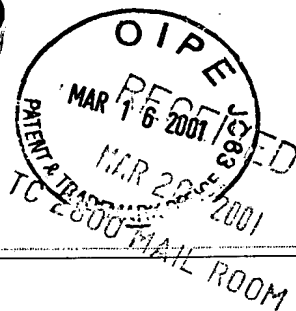
[Effect of the Invention] As mentioned above, since according to this invention the reduction of interface level was enabled while the hot carrier resistance degradation of a MOS transistor was prevented, the effect whose implementation of MOS type LSI of high reliance is attained is acquired.

---

[Translation done.]

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-222633  
(43)Date of publication of application : 30.08.1996



(51)Int.Cl.

H01L 21/768  
H01L 21/318

(21)Application number : 07-053391

(71)Applicant : YAMAHA CORP

(22)Date of filing : 17.02.1995

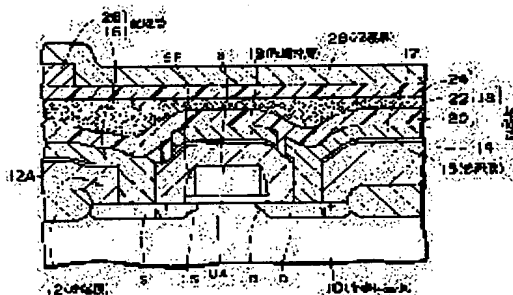
(72)Inventor : YAMAHA TAKAHISA  
HIRAIDE SEIJI

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To prevent the hot carrier resistance deterioration due to moisture and to reduce an interface state density in a semiconductor device having a MOS transistor.

**CONSTITUTION:** After a MOS transistor having a gate electrode layer G on the surface of a semiconductor substrate 10, an interlayer insulating film 14 and a shielding film 15 are sequentially formed thereon. After desired connecting holes are formed on the film 14 and 15, wiring layers 16, 17 and a wiring material layer 19 are formed. The layers 16, 17, 18 are all made of Al alloy layers having a Ti layer as the lowermost layer. After an interlayer insulating film 18 is formed to cover the layers 16, 17, 19, a wiring layer 26 is formed thereon. The film 18 includes a spin-on glass film 22, and contains moisture. The layer 19 prevents the moisture diffusion from the film 18 to the electrode layer G. The layer 15 prevents the occlusion of moisture concerned seed (H<sub>2</sub>O, OH<sup>-</sup>, H<sup>+</sup>) to the Ti layer of the layer 19.



## LEGAL STATUS

[Date of request for examination]	15.10.1996
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	2797994
[Date of registration]	03.07.1998
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平8-222633

(49)公開日 平成8年(1996)8月30日

(51)Int.Cl. <sup>6</sup>	種別記号	庁内整理番号	FI	技術表示箇所
H01L 21/768			H01L 21/90	J
21/318			21/318	C
				B

審査請求 未請求 請求項の数1 FD (全6頁)

(21)出願番号 特願平7-53391

(22)出願日 平成7年(1995)2月17日

(71)出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72)発明者 山本 隆久

静岡県浜松市中沢町10番1号ヤマハ株式会社内

(72)発明者 平出 誠治

静岡県浜松市中沢町10番1号ヤマハ株式会社内

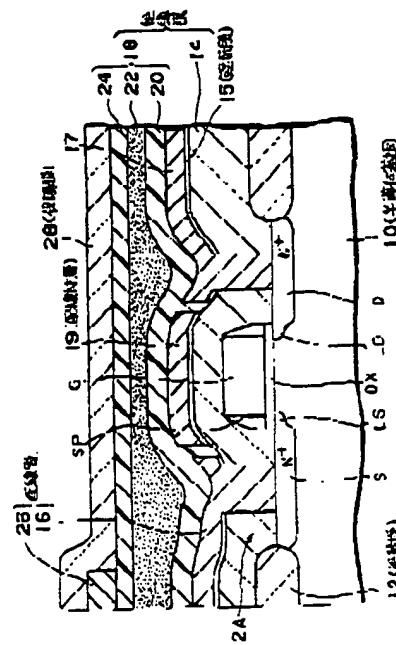
(74)代理人 弁護士 伊沢 敏昭

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 MOS型トランジスタを有する半導体装置において、水分によるホットキャリア耐性劣化を防ぎ且つ界面電位の低減を図る。

【構成】 半導体基板10の表面にゲート電極層Gを有するMOS型トランジスタを形成した後、その上に層間絶縁膜14及び遮蔽膜15を順次に形成する。所望の接続孔を膜14、15に設けた後、配線層16、17及び配線材層19を形成する。層16、17、19は、いずれも最上層としてTi層を有するAl合金層等から成る。層16、17、19を覆って層間絶縁膜18を形成した後、その上に配線層26を形成する。膜18は、スピンドル・オン・ガラス膜22等を含むもので、水分を含む。層19は、膜18から電極層Gへの水分拡散を防ぎ、膜15は、層19のTi層に水分関連種(H<sub>2</sub>O、OH<sup>-</sup>、H<sup>+</sup>)が吸蔵されるのを防ぐ。



(2)

特開平8-222633

## 【特許請求の範囲】

## 【請求項1】 基板と、

この基板の表面に形成されたMOS型トランジスタと、  
このMOS型トランジスタを覆って前記基板の表面に形成された第1の層間絶縁膜と、

この第1の層間絶縁膜の上に前記MOS型トランジスタのゲート電極層を覆って形成された水分拡散防止用の配線材層であって、最下層としてチタン層を有するものと、

前記第1の層間絶縁膜の上に前記配線材層を覆って形成され、水分を含有する第2の層間絶縁膜とを備えた半導体装置であって、

前記第1及び第2の層間絶縁膜の接触を確保した状態で前記第1の層間絶縁膜と前記チタン層との間に水分関連運搬媒体を介在配設したことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、MOS型トランジスタを有するLSI等の半導体装置に関し、特に水分を含有する層間絶縁膜からゲート電極層への水分拡散を配線材層で阻止してホットキャリア耐性劣化を防止すると共に配線材層の最下層としてのチタン層による水分関連種( $\text{H}_2\text{O}$ 、 $\text{OH}^-$ 、 $\text{H}^+$ )の吸蔵を阻止して界面準位の低減を可能としたものである。

## 【0002】

【従来の技術】 従来、MOS型LSI等における層間絶縁膜の平坦化技術としては、スピン・オン・ガラス(SOG)等の絶縁膜を層間絶縁膜中に含ませるものが知られている。

【0003】 図3は、この種の平坦化技術を利用したMOS型LSIの一部を示すものである。シリコンからなる半導体基板10の表面には、ゲート絶縁膜11を介してゲート電極層12を形成した後、イオン注入処理等により低不純物濃度のN型のソース領域13及びドレイン領域14を形成する。そして、電極層12の両側にサイドスペーサ15を形成した後、イオン注入処理等により高不純物濃度のN<sup>+</sup>型のソース領域16及びドレイン領域17をそれぞれ領域13及び14に連続して形成する。

【0004】 次に、基板上面には、上記のようにして形成されたMOS型トランジスタを覆って絶縁膜14を形成する。絶縁膜14としては、例えばCVD(ケミカル・ベーパー・デポジション)法により形成したBPSG(ボロン・リンケイ酸ガラス)膜が用いられる。

【0005】 次に、ソースコンタクト、ドレインコンタクト等に対応する接続孔を絶縁膜14に形成した後、基板上面に配線材層を積層してパターニングすることにより1層目の配線層としてのソース配線層16及びドレイン配線層17を形成する。配線層16、17としては、例えば図5で層16について示すように下から順に11

層16a、TiN層16b、Al合金(例えばAl-Si-Cu)層16c及びTiN層16dを積層したものが用いられる。Ti層16aは、コンタクト抵抗を低減するためのもの、TiN層16bは、バリア性を有するもの、TiN層16dは、ホトリソグラフィ処理時に光反射を防止するためのものである。

【0006】 次に、絶縁膜14の上に配線層16、17を覆って層間絶縁膜18を形成する。絶縁膜18としては、例えばテトラ・エトキシ・シラン(TEOS)を用いるプラズマCVD法によりシリコンオキシサイド膜20を形成した後、その上に同組成物等によりSOG膜22を平坦状に形成し、さらにその上にTEOSを用いるプラズマCVD法によりシリコンオキシサイド膜24を形成したものが用いられる。

【0007】 この後、絶縁膜18の上に2層目の配線層26を形成し、その上に保護膜28を形成し、水素を含む雰囲気中で400℃程度でアニールを行なう。保護膜28としては、例えばプラズマCVD法により形成したシリコンナイトライド膜が用いられる。

## 【0008】

【発明が解決しようとする課題】 上記した従来技術によると、層間絶縁膜18が、吸湿性があり水分の多いSOG膜22等の絶縁膜を含んでいるため、絶縁膜18からゲート電極層12に水分が拡散し、MOS型トランジスタのホットキャリア耐性を劣化させるという問題点がある。

【0009】 このような問題点に対処するため、不願の当願発明者は、図4に示すような構成の半導体装置を先に提案した(特願平6-247164号参照)。図4において、図3と同様の部分には同様の符号を付して詳細な説明を省略する。

【0010】 図4の装置が図3の装置と異なるのは、配線層16、17の形成工程を流用してゲート電極層12を覆うように配線材層19を絶縁膜14上に形成したことである。この場合、配線材層19は、例えば図5に示したような構成を有するもので、配線層16、17のいずれか一方に連続していてもよく、あるいは配線層16、17から分離されていてもよい。

【0011】 図4の構成によると、絶縁膜18から電極層12への水分拡散を配線材層19で阻止することができるので、ホットキャリア耐性の劣化を防止することができる。しかしながら、最終アニール処理で界面準位を十分に低減できないという問題点があることが判明した。

【0012】 次の表1は、図3、4の各トランジスタ毎に作成されたサンプル1～4について配線層16、17及び配線材層19の構成並びに層間絶縁膜18の構成を必ずものである。

## 【0013】

## 【表1】



(3)

特開平8-222633

サンプル		1	2	3	4
図3の16,17又は 図4の16,17,19		TiN/Al合金/TiN/Ti			WSi/Al合金/WSi
		Ti = 20nm		Ti = 40nm	
図3又は 図4の18	24	TEOS	TEOS	TEOS	TEOS
	22	SOG	SOG除去	SOG除去	SOG除去
	20	TEOS	TEOS	TEOS	TEOS

ここで、層16、17、19に関するP/Q/Rのような表示は、下から順にR層、Q層、P層を積層したものであることを表わし、「Ti=」は、Ti層の厚さを、「Al合金」は、Al-Si-Cu合金をそれぞれ表わす。また、絶縁膜18に関し、「TEOS」は、TEOSを用いるプラズマCVD法で形成したシリコンオキサイド膜を、「SOG」は、SOG膜を、「SOG除去」は、SOG膜を形成した後エッチバック処理で除去したことをそれぞれ表わす。

【0014】絶縁膜14は、厚さ750nmのBP3G

膜とした。また、シリコンオキサイド膜20、24の厚さは、いずれも500nmとし、SOG膜22の厚さは、500nmとした。さらに、保護膜28は、厚さ1000nmのシリコンナイトライド膜とした。

【0015】次の表2は、表1に示した1~4の各サンプル毎にサブスレッショルドスロープを測定した結果を示すもので、各サンプル毎の数値の単位は、mV/decadeである。

【0016】

【表2】

トランジスタ	サンプル			
	1	2	3	4
図3	85.0	85.8	86.9	86.7
図4	85.7	81.7	85.5	85.8

リブスレッショルドスロープの変化量を $\Delta S$ とし、界面準位の変化量を $\Delta Dit$ とすると、 $\Delta S$ は $\Delta Dit$ に比例する( $\Delta S \propto \Delta Dit$ )。表1、2によれば、図4の構成を有するサンプル2、3が他のサンプルに比べて界面準位の低減が十分でないことがわかる。また、配線材層19の最下層としてのTi層を20nmから40nmに厚くしたサンプル3では、界面準位の低減度が一層不十分であることもわかる。

【0017】この発明の目的は、配線材層でゲート電極層を覆うことによりホットキャリア耐性劣化を防止するようにした半導体装置において、界面準位を十分に低減することにある。

【0018】

【課題を解決するための手段】この発明に係る半導体装置は、基板と、この基板の表面に形成されたMOS型トランジスタと、このMOS型トランジスタを覆って前記基板の表面に形成された第1の層間絶縁膜と、この第1の層間絶縁膜の上に前記MOS型トランジスタのゲート電極層を覆って形成された水分拡散防止用の配線材層であって、最下層としてゲタン層を有するものと、前記第1の層間絶縁膜の上に前記配線材層を覆って形成され、水分を含有する第2の層間絶縁膜とを備えた半導体装置であって、前記第1及び第2の層間絶縁膜の接触を確保した状態で前記第1の層間絶縁膜と前記ゲタン層との間に水分閉鎖層を介在配置したことを特徴とするも

のである。

【0019】

【作用】前掲の表1、2によれば、WSi/Al合金/WSi構造を採用したサンプル4では、図3又は図4のいずれのトランジスタでも界面準位が低減されている。また、絶縁膜18に含まれる水分が多い構造(SOGのノンエッチバック構造)のサンプル1では、配線材層19の最下層としてTi層を用いているにもかかわらず、図3又は図4のいずれのトランジスタでも、界面準位が低減されている。つまり、絶縁膜18に含まれる水分が少ない構造(SOGのエッチバック構造)のサンプル2、3において、配線材層19の最下層としてTi層を用いた場合に界面準位が十分に低減されない。

【0020】ところで、界面準位は、 $Si/SiO_2$ 界面の三価Si( $Si = Si \cdot$ )であり、最終アール時の水素がこの三価Siを( $Si = Si - OH$ )のように終端して界面準位を低減するといわれている。しかし、発明者の実験によると、最終アールを電界雰囲気で行なっても界面準位が低減された。そこで、発明者は、絶縁膜18中の水分関連種( $H_2O$ ,  $OH \cdot$ ,  $H \cdot$ )が最終アール中に $Si/SiO_2$ 界面にまで拡散し、三価Siを( $Si = Si \cdot$ ,  $Si = Si - OH$ )のように終端するものと考えている。

【0021】トランジスタ直下に水分関連種( $H_2O$ ,  $OH \cdot$ ,  $H \cdot$ )を吸蔵してしまうTi層がある場合、こ

(4)

特開平8-222633

のトランジスタの近傍の水分関連種濃度が低くして界面準位が低減されない(サンプル2, 3)。また、Tiの量が多いほど界面準位の低減が十分でない(サンプル3)。一方、絶縁膜18中に水分が十分にあれば、その水分の一部がTi層に吸蔵されても、十分な水分関連種濃度が確保されるので、界面準位が低減される(サンプル1)。また、水分関連種を吸蔵しない層がトランジスタ直上にあれば、水分関連種濃度が低下しないので、界面準位が低減される(サンプル4)。

【0022】この発明の構成によれば、第1及び第2の層間絶縁膜の接触を確保した状態で第1の層間絶縁膜とTi層との間に水分関連種遮断膜を介在配置したので、第2の層間絶縁膜から第1の層間絶縁膜へ水分関連種の拡散が許容されると共に遮断膜がTi層による水分関連種の吸蔵を阻止する。従って、ゲート電極層の近傍では、水分関連種の濃度が低下せず、最終アニールでは、十分に界面準位を低減することができる。

【0023】

【実施例】図1, 2は、この発明の一実施例に係るMOS型LSIの一部を示すもので、図1は、図2のX-X'線に沿う断面に相当する。

【0024】例えばシリコンからなる半導体基板10の表面には、周知の選択酸化処理によりアクティブ領域配置孔12Aを有するフィールド絶縁膜12を形成する。そして、配置孔12A内の半導体表面部分には、前述したと同様にゲート絶縁膜OX、低不純物濃度のN型のソース領域1S及びドレイン領域1D、ゲート電極層G、サイドスパーサSP、高不純物濃度のN<sup>+</sup>型のソース領域及びドレイン領域D等を形成する。一例として、ゲート長は0.5 $\mu$ mとした。

【0025】次に、基板上面には、上記のようにして形成されたMOS型トランジスタを覆って第1の層間絶縁膜14を形成する。絶縁膜14としては、厚さ750nmのBPSG膜をCVD法により形成した。この後、BPSG膜を緻密化するために850℃で熱処理を行った。

【0026】次に、水分関連種遮断膜15として、厚さ10nmのシリコンナイトライド膜をプラズマCVD法により形成した。この場合、プラズマCVD法の代りに、シリコンの反応性スパッタ法を用いてもよい。また、シリコンナイトライド膜の厚さは、後述のドライエッチング工程で選択的に除去することを考慮すると、50nm以下が好ましい。

【0027】次に、ソース領域S及びドレイン領域Dにそれぞれ対応する接続孔を絶縁膜14及び遮断膜15の積層に形成した後、基板上面に配線材を被着し、その被着層をボトリングラフィ及びドライエッチング処理によりパターンニングすることによりソース配線層16、ドレイン配線層17及び配線材層19を形成する。配線材層19は、図2に示すようにゲート電極層Gを覆うような

パターンで形成する。図2の例では、配線材層19を配線層16, 17から分離して形成したが、所望により配線材層19を配線層16又は17のいずれかに連続して形成してもよい。配線層16, 17は、それぞれソースコンタクト部SC、ドレインコンタクト部DCにてソース領域S、ドレイン領域Dに接続される。図示しないゲート配線層は、ゲートコンタクト部GCにてゲート電極層Gと接続される。

【0028】層16, 17, 19は、一例として図5の構成においてTiN層16hをTiON層に置換したものを用い、厚さは、TiN/Al-Si-Cu/TiON/Ti-40/400/100/20nmとした。TiON層の代りにTiN層を用いてもよい。ドライエッチングは、一例としてガス流量Cl<sub>2</sub>/BCl<sub>3</sub>=30/30sccm、圧力10mTorrの条件で行なった。そして、配線材のエッチングに続くオーバーエッチングにより遮断膜15を層16, 17, 19に対応するパターンで選択的に除去した。これは、後述の第2の層間絶縁膜18が絶縁膜14に接触するのを可能にするためである。

【0029】次に、基板上面に第2の層間絶縁膜18を形成する。絶縁膜18としては、一例として厚さ500nmのシリコンオキシライド膜20をTEOSによるプラズマCVD法により形成した後、その上に厚さ500nmのSOG膜22を回転塗布法等により形成し、さらにその上に厚さ500nmのシリコンオキシライド膜24をTEOSによるプラズマCVD法により形成した。この場合、シリコンオキシライド膜24の形成前にSOG膜22を表面から500nmの厚さだけエッチバックして除去し、その上にシリコンオキシライド膜24を形成してもよい。この結果得られる絶縁膜18は、SOG膜22をエッチバックしないものに比べて少量であるが、水分を含んでいる。

【0030】次に、絶縁膜18に所望の接続孔を形成してから絶縁膜18上に2層目の配線層26を形成する。そして、絶縁膜18の上には、配線層26を覆って保護膜28を形成する。保護膜28としては、一例として厚さ1000nmのシリコンナイトライド膜をプラズマCVD法により形成した。

【0031】この後、最終アニール処理を行なう。この処理は、一例としてN<sub>2</sub>及びH<sub>2</sub>を含む雰囲気中で400℃、30分の条件で行なった。この結果、図1のトランジスタにおいて、界面準位が十分に低減された。

【0032】上記した実施例によれば、絶縁膜18からゲート電極層Gへの水分拡散が配線材層19で阻止されるため、ホットキャリア耐性劣化を防止することができる。また、配線材層19の最下層としてのTi層と絶縁膜14との間に遮断膜15を介在配置したので、Ti層に水分関連種が吸蔵されるのを防ぐことができ、界面準位を十分に低減することができる。

(5)

特開平8-222633

【0033】この発明は、上記実施例に限定されるものではなく、種々の改変形態で実施可能なものである。例えば、遮断膜15としては、シリコンナイトライド等の絶縁膜に限らず、Al、Al合金、高融点金属（例えばW）又は高融点金属シリサイド（例えばWSi）等の導電膜を用いてもよい。絶縁膜は、エッチング残りが生じても導電膜のように配線間ショート等を招かないので、導電膜より使いやすい利点がある。

【0034】

【発明の効果】以上のように、この発明によれば、MOS型トランジスタのホットキャリア耐劣化を防止すると共に界面準位の低減を可能としたので、高信頼のMOS型LSIを実現可能となる効果が得られるものである。

【図面の簡単な説明】

【図1】 この発明の一実施例に係る半導体装置を示す基板断面図である。

【図2】 図1の装置における配線配置を示す上面図である。

【図3】 従来の半導体装置の一例を示す基板断面図である。

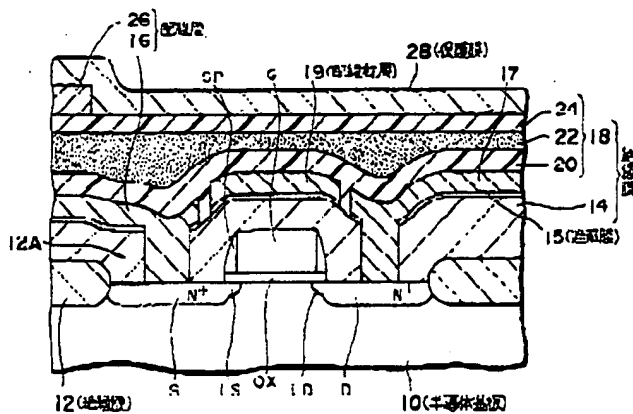
【図4】 従来の半導体装置の他の例を示す基板断面図である。

【図5】 従来の配線層の一例を示す断面図である。

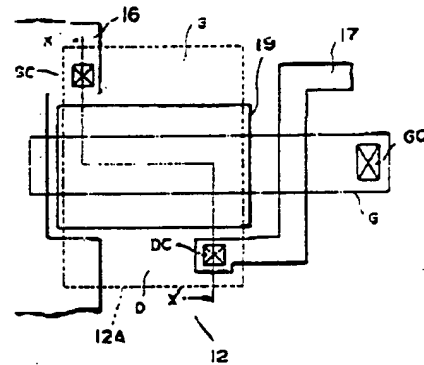
【符号の説明】

10：半導体基板、12、14、18：絶縁膜、15：水分閉鎖種遮断膜、16、17、26：配線層、19：配線材層、28：保護膜、S：ソース領域、D：ドレイン領域、G：ゲート電極層。

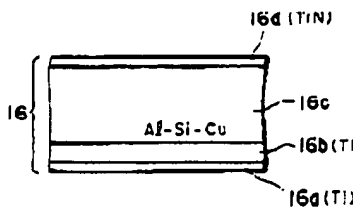
【図1】



【図2】



【図5】



【図3】

